



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of
Kiyonori OYU, et al.
Serial No.: 10/626,095
Filed: July 24, 2003
For: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF
MANUFACTURING THE SAME

New York, New York
Date: November 3, 2003
Group Art Unit:
Examiner: Not Yet Assigned

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the prior request for priority under the International Convention and submits herewith a certified copy of the following document in support of the claim:

JAPANESE PATENT APPLICATION NO. 2002-216112 FILED JULY 25, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on November 3, 2003

Max Moskowitz

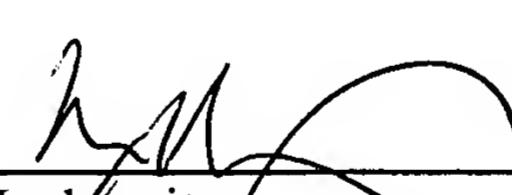
Name of applicant, assignee or
Registered Representative

Signature

November 3, 2003

Date of Signature

Respectfully submitted,


Max Moskowitz
Registration No.: 30,576
OSTROLENK, FABER, GERB & SOFFEN, LLP
1180 Avenue of the Americas
New York, New York 10036-8403
Telephone: (212) 382-0700

US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年 7月25日

出願番号 Application Number: 特願2002-216112

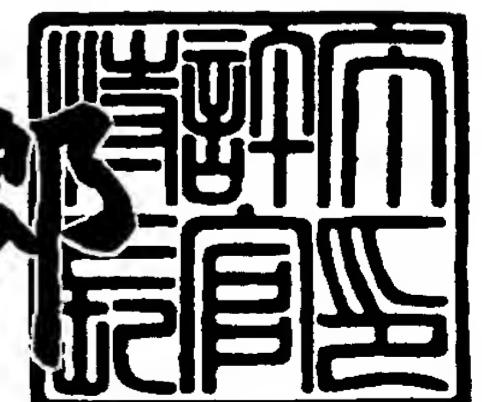
[ST. 10/C]: [JP2002-216112]

出願人 Applicant(s): エルピーダメモリ株式会社
株式会社日立超エル・エス・アイ・システムズ
株式会社日立製作所

2003年 7月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願
【整理番号】 22310082
【提出日】 平成14年 7月25日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目 2番 1号 エルピーダメモリ
株式会社内
【氏名】 大湯 靜憲
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目 2番 1号 エルピーダメモリ
株式会社内
【氏名】 萩島 淳史
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目 2番 1号 エルピーダメモリ
株式会社内
【氏名】 内山 博之
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目 2番 1号 エルピーダメモリ
株式会社内
【氏名】 川北 恵三
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目 22番 1号 株式会社日立
超エル・エス・アイ・システムズ内
【氏名】 鈴木 正人
【特許出願人】
【識別番号】 500174247
【氏名又は名称】 エルピーダメモリ株式会社

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項1】 セルトランジスタ構成を有する半導体記憶装置であって、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、前記自己セルのワード線寄り側より前記隣接セルのワード線寄り側でより高いn型キャリヤ濃度を有することを特徴とする半導体記憶装置。

【請求項2】 セルトランジスタ構成を有する半導体記憶装置であって、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、リンおよび砒素の中から選択された一つにより得られるn型不純物濃度が前記自己セルのワード線寄り側より前記隣接セルのワード線寄り側でより高いことを特徴とする半導体記憶装置。

【請求項3】 セルトランジスタ構成を有する半導体記憶装置であって、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、ホウ素により得られるn型不純物濃度が、前記自己セルのワード線寄り側より前記隣接セルのワード線寄り側でより低いことを特徴とする半導体記憶装置。

【請求項4】 セルトランジスタ構成を有する半導体記憶装置であって、ホウ素濃度の高いSTI（浅溝素子分離）溝の側壁チャネルを有することを特徴とする半導体記憶装置。

【請求項5】 セルトランジスタ構成を有する半導体記憶装置の製造方法であって、ゲート酸化工程の前に、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、マスクを用いて前記隣接セルの隣接ワード線寄り側の活性領域にリンおよび砒素の中から選択された一つをイオン打込みする工程を有することを特徴とする半導体記憶装置の製造方法。

【請求項6】 セルトランジスタ構成を有する半導体記憶装置の製造方法であって、SiN（窒化ケイ素）マスクによりSTI（浅溝素子分離）による浅溝形成工程の直後に、STI領域以外の活性領域の長手方向に平行な方向から斜めに、リンおよび砒素の中から選択された一つをSTI側壁に向かってイオン打込

みし、S T I 浅溝底部にイオン打込みされたイオン打込み領域を除去する工程を有することを特徴とする半導体記憶装置の製造方法。

【請求項7】 セルトランジスタ構成を有する半導体記憶装置の製造方法であって、S i N (窒化ケイ素) マスクによりS T I (浅溝素子分離) による浅溝形成工程の直後に、S T I 領域以外の活性領域の長手方向に平行な方向から斜めに、所定の回転を加えてリンおよび砒素の中から選択された一つをS T I側壁に向かってイオン打込みする工程を有することを特徴とする半導体記憶装置の製造方法。

【請求項8】 セルトランジスタ構成を有する半導体記憶装置の製造方法であって、ゲート酸化工程の前に、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、マスクを用いて前記隣接セルの隣接ワード線以外の活性領域にホウ素をイオン打込みする工程を有することを特徴とする半導体記憶装置の製造方法。

【請求項9】 セルトランジスタ構成を有する半導体記憶装置の製造方法であって、S i N (窒化ケイ素) マスクによりS T I (浅溝素子分離) による浅溝形成工程の直後に、S T I 領域以外の活性領域の長手方向に垂直な方向から斜めにホウ素をS T I側壁に向かってイオン打込みする工程を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、二つのワード線に挟まれる拡散層はコンタクトを介してビット線に接続されまたその両側の拡散層のそれぞれはコンタクトを介してそれぞれの容量部に接続される二つのセルトランジスタによりセル部が構成される半導体記憶装置およびその製造方法に関する。特に、高密度のダイナミックランダムアクセスメモリ (D R A M) において、隣接ワード線の影響を受けたリフレッシュ特性の劣化を防止することにより、リフレッシュ特性を向上できるうえ、パッケージ完成後および実装半田リフロー後の不良率を低減することができる半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、半導体記憶装置の高速化に伴ない、例えば $0.15\mu\text{m}$ プロセスによる256メガビットの製品には、ビット線間隔を詰めるSTI（Shallow Trench Isolation：浅溝素子分離）技術が用いられ、更に他の技術を併用して、近い将来には16ギガビットの製品が実現されると予測されている。

【0003】

まず、図1を参照して半導体記憶装置の一つであるDRAMのセル部について説明する。図1に、DRAMのセル部の平面図を示す。

【0004】

図では、活性領域1とワード線2～5とが示されている。ワード線2～5はワード線4, 2, 3, 5の順で平行に設けられる。活性領域1はワード線4, 2, 3, 5それに挟まれた領域で順次、拡散層7, 6, 8を有する。

【0005】

ワード線2, 3に挟まれた拡散層6は、コンタクトを介してビット線に接続されている。また、ワード線2, 4に挟まれた拡散層7とワード線3, 5に挟まれた拡散層8とはそれぞれのコンタクトを介してそれぞれの容量部に接続されている。ここで、セル部は、ワード線2をゲート電極とし、拡散層6, 7それぞれをソース・ドレインとしたセルトランジスタとワード線3をゲート電極とし、拡散層6, 8をソース・ドレインとしたセルトランジスタとから構成される。なお、拡散層6は、上記2つのトランジスタのソース・ドレインとして共用され、ビット線に接続されている。

【0006】

まず、図1に図16を併せ参照して、従来の活性領域1の表面におけるキャリヤ濃度分布について説明する。図示されるように、従来のキャリヤ濃度分布は、n型拡散層6～8の領域6a～8aそれぞれにおけるn型キャリヤ濃度が自分のワード線側と隣接ワード線側で等しい。

【0007】

このような濃度分布は、従来の半導体記憶装置の製造方法をもって、例えば、図17から図18に示される構造を形成することにより得られる。

【0008】

まず、図17を参照する。シリコン基板に浅溝を形成する浅溝素子分離層（以後、STI層と略称する）9を形成後、浅溝底部の打込みスルーメン10を通してホウ素イオン打込みを実施し、p型ウエル層11を形成する。その後、閾値電圧（ V_{th} ）制御用のホウ素イオン打込み（BF₂, 45 keV, $1 \times 10^{13}/\text{cm}^2$ ）により、n型拡散層となるホウ素打込み層27を形成する。この打込みは活性領域全面に実施され、図17の状態となる。

【0009】

次に図18を参照する。打込みスルーメン10を含むSTI層9の表面にゲート酸化膜15を形成したのち、W/WN（タンゲステン／窒化タンゲステン）膜16および多結晶シリコン膜17から成るゲート電極を形成する。ゲート電極は、W/WN膜16上のSiN膜18をパターニングしたのち、SiN膜18をマスクとしてW/WN膜16および多結晶シリコン膜17をパターニングして形成する。ゲート電極の形成後に、水蒸気を含んだ水素雰囲気中で熱酸化を行ない、多結晶シリコン膜17の側壁およびn型拡散層であるホウ素打込み層27形成部分の基板表面を酸化する。

【0010】

次いで、露出する打込みスルーメン10を通してリン打込み（10 keV, $2 \times 10^{13}/\text{cm}^2$ ）を実施し、セルトランジスタのソース・ドレインとなる低濃度n型層190を形成する。図18はこの状態であり、図16に示されるキャリア濃度分布が実現する。

【0011】

【発明が解決しようとする課題】

上述した従来の半導体記憶装置およびその製造方法では、次のような問題点がある。

【0012】

第1の問題は、従来の活性領域表面のキャリア濃度分布では、隣接ワード線の

影響を受けたリフレッシュ特性劣化が生じる点である。すなわち、例えば、0.15 μ mプロセスによる256メガビット製品では、隣接ワード線電位の影響を受けたリフロー劣化が問題となっている。リフロー劣化ビットの特徴は、隣接ワード線近傍のSi表面が空乏化するときにリフレッシュ特性が劣化し、隣接ワード線近傍のSi表面が反転すると特性が回復することである。現状では、隣接ワード線近傍のSi表面が空乏化したり、反転したりするのに制限を設けていないため、最悪の場合、隣接ワード線近傍のSi表面が空乏化して特性が劣化してしまう。

【0013】

その理由は、製造過程でのリソグラフィーでの合わせずれにより、例えば図19に示すように隣接ワード線5が活性領域に重なる場合、図16に示されるn型拡散層8領域8aにおいて自分のワード線3領域3aの端部における強い電界部分に加えて隣接ワード線5領域の端部における強い電界部分も加わり、活性領域表面のキャリヤ濃度分布で強電界部分が2箇所発生するからである。その結果、接合電界の影響を受けた特性劣化が2倍になり、リフレッシュ特性の実力が低下することになる。

【0014】

また、第2の問題は、パッケージ後またはリフロー後の不良率が増加する点である。

【0015】

その理由は、図20に示されるように、隣接ワード線の位置によって電界の極大値を持つからである。この隣接ワード線の位置は、浅溝素子分離（STI）層形成工程での寸法変動や、ワード線形成工程でのリソグラフィー工程での合わせずれによって決定する。また、図19に示されるように、隣接ワード線5の側はSTI層9の境界である側壁に近いため、STI層9の側壁からの圧縮応力の影響を受ける。多結晶シリコン膜17のSi結晶は、圧縮応力によりバンドギャップが狭くなり、少数キャリヤの発生に対して、電界が大きくなつたように作用する。リフレッシュ特性は、接合電界が大きくなると劣化するため、圧縮応力によっても劣化する。この圧縮応力は、パッケージング時またはリフロー時にさらに

加わるため、リフレッシュ特性劣化の確率が大きくなってしまう。

【0016】

本発明の課題は、このような問題点を解決し、隣接ワード線の影響を受けたりリフレッシュ特性劣化を防止できる半導体記憶装置およびその製造方法を提供することである。その結果、リフレッシュ特性の実力を向上できる上に、パッケージ後の不良率およびリフロー後の不良率を低減することができる。

【0017】

【課題を解決するための手段】

本発明はランダムアクセスメモリ (RAM) に用いられる半導体記憶装置に関するものであり、特に高密度のダイナミック RAM に適用される。

【0018】

本発明の特徴は、半導体記憶装置のセル構造において、隣接ワード線近傍の Si (シリコン) 表面が常に反転状態、すなわち、隣接ワード線電位によらず常に n 型であるようにして、隣接ワード線電位の影響を受けたりリフレッシュ特性変動を回避することにある。具体的には、セルトランジスタにおいて、隣接セルのワード線と自己セルのワード線とが隣接して形成する n 型拡散層で、自己セルのワード線寄り側より隣接セルのワード線寄り側でより高い n 型キャリヤ濃度を有するか、または、p 型基板濃度を隣接ワード線寄り側で低濃度にしている。

【0019】

また、同時に、本発明の特徴は、セルトランジスタの閾値電圧 (V_{th}) 低下要因となる STI による浅溝側壁チャネルの高濃度化を実現するものである。これにより、不必要的基板濃度の高濃度化を防止して、リフレッシュ特性を向上することができる。

【0020】

本発明による半導体記憶装置は下記の製造方法により具体化される。

【0021】

すなわち、セルトランジスタにより構成される半導体記憶装置の製造方法であって、ゲート酸化工程の前に実施される工程として、一つは、隣接セルのワード線と自己セルのワード線とが隣接して形成する n 型拡散層で、マスクを用いて隣

接セルの隣接ワード線寄り側の活性領域にリンまたは砒素をイオン打込みする工程、また他一つは、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で、マスクを用いて前記隣接セルの隣接ワード線以外の活性領域にホウ素をイオン打込みする工程を有することを特徴としている。

【0022】

また、SiN（窒化ケイ素）マスクによりSTI（浅溝素子分離）による浅溝形成工程の直後に実施される工程であって、一つは、STI領域以外の活性領域の長手方向に平行な方向から斜めに、リンまたは砒素をSTI側壁に向かってイオン打込みし、STI浅溝底部にイオン打込みされたイオン打込み領域を除去する工程、他一つは、STI領域以外の活性領域の長手方向に平行な方向から斜めに、所定の回転を加えてリンまたは砒素をSTI側壁に向かってイオン打込みする工程、更に他一つは、STI領域以外の活性領域の長手方向に垂直な方向から斜めにホウ素をSTI側壁に向かってイオン打込みする工程を有することを特徴としている。

【0023】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0024】

図1は、本発明における第一の実施の形態を説明するため、DRAMのセル部の平面を示す図である。この図には、活性領域1とワード線2～5のみが示されている。しかし、その構成は次のとおりである。

【0025】

ワード線2～5はワード線4, 2, 3, 5の順で平行に設けられる。活性領域1は、ワード線4, 2, 3, 5それぞれに挟まれた領域で順次、拡散層7, 6, 8を有する。ワード線2, 3に挟まれた拡散層6はコンタクトを介してビット線に接続されている。また、ワード線2, 4に挟まれた拡散層7とワード線3, 5に挟まれた拡散層8とはそれぞれのコンタクトを介してそれぞれの容量部に接続されている。ここで、セル部では、ワード線2をゲート電極とし、拡散層6, 7をソース・ドレインとしたセルトランジスタと、ワード線3をゲート電極とし、

拡散層6, 8をソース・ドレインとしたセルトランジスタとから構成される。なお、拡散層6は、上記2つのトランジスタのソース・ドレインとして共用され、ビット線に接続されている。

【0026】

次に、図2に図1を併せ参照して、本発明による半導体記憶装置における、活性領域1の基板表面キャリヤ濃度分布状態について説明する。図2は、図1のA-A断面における活性領域1の基板表面キャリヤ濃度分布を示す図である。

【0027】

まず、ワード線2, 3領域2a, 3aの部分は、p型層となっており、その濃度を $1 \times 10^{18} / \text{cm}^3$ 程度とする。この濃度によってワード線2, 3をゲート電極としたMOSトランジスタの閾値電圧が決まる。次に、ワード線2, 3に挟まれた領域6a部分は、n型層となっており、その濃度を $1 \times 10^{18} / \text{cm}^3$ 程度とする。ビット線に接続されるコンタクト部分は、コンタクトプラグを構成する多結晶シリコンからのリン拡散によって高濃度になっている。

【0028】

また、ワード線2, 4に挟まれた領域7a部分はn型層となっており、その濃度分布は、隣接ワード線4寄り側の方が自分のワード線2寄り側より高濃度である。同時に、ワード線3, 5に挟まれた領域8a部分も、n型層となっており、その濃度分布も、隣接ワード線5寄り側の方が自分のワード線3寄り側より高濃度である。例えば、自分のワード線2, 3寄り側の濃度は $1.5 \times 10^{18} / \text{cm}^3$ であり、隣接ワード線4, 5寄り側は $3 \times 10^{18} / \text{cm}^3$ である。なお、容量部に接続されるコンタクト部分では、コンタクトプラグを構成する多結晶シリコンからのリン拡散によって高濃度になっている。

【0029】

その結果、リソグラフィーでの合わせずれによって隣接ワード線4または5が活性領域1上に配置されても、隣接ワード線4, 5寄り側それぞれの領域7a, 8aにおけるn型層は空乏化することがない。

【0030】

図2に示されるキャリヤ濃度分布を達成するために、セルトランジスタのn型

拡散層7, 8領域7a, 8aそれぞれの隣接ワード線4, 5寄り側を高濃度にするために以下の方法を用いている。

【0031】

第一の方法は、セルトランジスタの閾値電圧制御用のホウ素イオン打込みの前または後に、隣接ワード線4, 5寄り側にのみ、リンまたは砒素のイオン打込みを実施することである。その際、図3に示すようなリンまたは砒素の濃度分布が得られた。

【0032】

ここで、図4から図6までに図1および図2を併せ参照して第一の方法について説明する。

【0033】

まず、図4を参照して説明する。最初の工程は、打込みスルーメン10を底部として側壁を形成する浅溝を有するSTI層9をシリコン基板に形成した後、打込みスルーメン10を通してホウ素イオン打込みを実施し、p型ウエル層11を形成する。次に、閾値電圧制御用のホウ素イオン打込み(BF_2 , 45keV, $1 \times 10^{13}/cm^2$)により閾値電圧制御層12を形成して図4の状態となる。

【0034】

次に、図5を参照して説明する。工程は、図示されるように、まず、レジストマスク13を、STI層9の打込みスルーメン10上でSTI層9の浅溝側壁より内側位置、すなわち隣接ワード線寄り側の活性領域に、リンイオン打込みスペースを空けて形成する。次いで、レジストマスク13を用いてSTI層9上に形成される隣接ワード線側の活性領域に、リンのイオン打込み(10keV, $3 \times 10^{13}/cm^2$ だけ)を実施してリン打込み層14を形成する。リン打込みの場合は、その後の熱処理で拡散して再分布が大きくなり閾値電圧低下を招く危険性がある。従って、その危険性を回避するため、続いて、砒素の打込み(20keV, $1 \times 10^{13}/cm^2$)を実施する。

【0035】

次に、図6を参照して説明する。工程は、図示するように、打込みスルーメン10を含むSTI層9の表面にゲート酸化膜15を形成したのち、W/WN膜16

および多結晶シリコン膜17から成るゲート電極層を形成する。ゲート電極は、W/WN膜16上のSiN膜18をパターニングしたのち、SiN膜18をマスクとしてW/WN膜16および多結晶シリコン膜17をパターニングして形成される。ゲート電極の形成後に、水蒸気を含んだ水素雰囲気中で熱酸化を行ない、多結晶シリコン膜17の側壁およびn型拡散層形成部分の基板表面を酸化する。次いで、セルトランジスタのソース・ドレインとなる低濃度n型層19を形成するためのリンイオン打込み（10keV, $2 \times 10^{13}/\text{cm}^2$ ）を実施する。

【0036】

これ以後のDRAM製造工程は通常のDRAMプロセスであり、ここでの説明は省略する。

【0037】

これによって、リンイオン打込みのドーズ量は、自分のワード線2, 3寄り側の低濃度n型層19では $2 \times 10^{13}/\text{cm}^2$ であり、隣接ワード線4, 5寄り側のリン打込み層14では $3 \times 10^{13}/\text{cm}^2$ である。こうして、図3に示すような濃度分布が達成できる。

【0038】

次に、第二の方法は、図2に示したキャリヤ濃度分布を達成するため、セルトランジスタのp型基板濃度を隣接ワード線側で低濃度にすることである。すなわち、上述した実施形態との相違は、図8に示されるように、セルトランジスタの閾値電圧制御用のホウ素イオン打込みを、隣接ワード線寄り側に打込みされないように実施して、図7に示すようなホウ素濃度分布を得ることである。

【0039】

ここで、図7から図9までに図1および図2を併せ参照して第二の方法について説明する。

【0040】

図7に示すホウ素濃度分布を得るために、まず、第一の方法と同様、図4に示されるにp型ウエル層11を形成する。

【0041】

次に、図8を参照して説明する。図示されるように、工程は、閾値電圧制御用

のホウ素イオン打込み (BF_2 , 45 keV, $1 \times 10^{13}/\text{cm}^2$) を、レジストマスク13aを用いてSTI層9上に形成される隣接ワード線側にイオン打込みされないように実施する。このため、レジストマスク13aはSTI層9の浅溝底部内側にホウ素イオン打込み領域を有し、この領域のホウ素イオン打込みにより形成されたホウ素打込み層20は、STI層9の浅溝側壁との間にスペースを有する図8の状態になる。

【0042】

次に、図9を参照して説明する。上述したようにホウ素打込み層20を形成した後、工程は、図示するように、打込みスルーメン10を含むSTI層9の表面にゲート酸化膜15を形成する。次いで、W/WN膜16および多結晶シリコン膜17から成るゲート電極層を形成する。ゲート電極は、W/WN膜16上のSiN膜18をパターニングしたのち、SiN膜18をマスクとしてW/WN膜16および多結晶シリコン膜17をパターニングして形成される。ゲート電極の形成後に、水蒸気を含んだ水素雰囲気中で熱酸化を行ない、多結晶シリコン膜17の側壁およびn型拡散層形成部分の基板表面を酸化する。次いで、セルトランジスタのソース・ドレインとなる低濃度n型層21を形成するためのリンイオン打込み (10 keV, $2 \times 10^{13}/\text{cm}^2$) を実施して、図9の状態となる。

【0043】

なお、上記第一の方法と第二の方法とはそれを別個に説明したが、両者を併用することも可能である。

【0044】

このように、図2に示したような活性領域表面のキャリヤ濃度分布を実現できるならば、隣接ワード線が図1に示される活性領域上に配置されても、空乏化することはない。すなわち、隣接ワード線電位の影響を受けなくなる。リフレッシュ特性の実力は、自分のワード線端の接合電界と隣接ワード線端の接合電界の両方によって決まるので、隣接ワード線端の影響が無くなれば、その分、実力が向上することとなる。

【0045】

次に、図10から図15までを参照して、図3に示したリンまたは砒素の濃度

分布を達成する第二の実施形態について説明する。

【0046】

まず、図10に示されるように、STI（浅溝素子分離）用の浅溝を形成した直後に、STI領域以外の活性領域22の長手方向に平行にリンまたは砒素のイオン打込みを行ない、活性領域22の長辺端にリンまたは砒素の打込み層23を形成する。

【0047】

次に、図11を参照して上記打込み層23の形成について説明する。

【0048】

図11に示すように、STI溝24を形成した後にリンの斜めイオン打込みを実施する。このイオン打込みでは、SiNマスク25越しにイオン打込み深さが50nm程度となるようにイオン打込み角度が選ばれている。なお、図11は、図10に示した活性領域平面図のB-B断面であるが、この断面においてSTI溝の幅は450nmであり、また、SiNマスク25の膜厚は120nm程度であるため、イオン打込み角度θは15度である。イオン打込み条件は、リンの場合、5keVと $3 \times 10^{13}/\text{cm}^2$ であり、砒素の場合、10keVと $2 \times 10^{13}/\text{cm}^2$ である。

【0049】

この時、図10に示される活性領域22の短手方向には、殆どリンまたは砒素はイオン打込みされない。その理由は、Si側壁に対して小さな角度でイオンが入射した場合、殆どのイオンが反射されるためである。その後、STI溝の側壁のライナー酸化、溝埋め込み後のデンシファイ、ウエル打込み後のアニール、ゲート酸化などで、上記イオン打込み種は再分布するので、基板表面近傍の濃度は低下する。その濃度低下を見込んで、上記イオン照射線量設定を行っている。

【0050】

なお、上記のイオン打込みでは、図12に示す平面図でSTI溝24の底部になる斜線部分にもイオン打込みされるので、イオン打込み後に溝をさらに深くなるように加工してイオン打込み部分を除去する必要がある。また、溝加工で完全に除去できない部分は、ライナー酸化により酸化膜中に取り込んでもよい。

【0051】

また、図13を参照して図12に示すようなSTI溝の底部へのイオン打込みを避ける方法について説明する。イオン打込みを避けるためには、図示されるように、イオン打込み方向を変えればよい。このイオン打込みでは、活性領域22の長手方向に対して、8度回転させている。

【0052】

図14は図13のD-D断面である。上述の結果、図14に示されるように、イオン打込みマスクとなるSiNマスク25越しにイオン打込み深さが50nm程度となるようにイオン打込み角度には5度が選ばれている。なお、回転させたイオン打込みは4回実施するため、リンイオン打込みの照射線量は、各回転のイオン打込みにおいて、 $7.5 \times 10^{12} / \text{cm}^2$ とし、砒素イオン打込みの場合には、 $5 \times 10^{12} / \text{cm}^2$ としている。

【0053】

図15は図10のC-C断面である。図10に示した平面図において活性領域22の長手方向に垂直な方向で斜めに、STI溝24の側面に向けてホウ素をイオン打込みして、ホウ素打込み層26を形成し、図7に示したホウ素濃度分布を達成している。

【0054】

図15に示されるように、ホウ素の斜めイオン打込みでは、SiNマスク25越しにイオン打込み深さが50nm程度となるようにイオン打込み角度が選ばれている。図15の断面図では、STI溝24の幅が450nmであり、SiNマスク25の厚さが120nm程度であるため、イオン打込み角度θは15度である。ホウ素のイオン打込み条件は、10keVと $1 \times 10^{13} / \text{cm}^2$ とした。この時、活性領域22の長手方向の両端部分には、殆どイオン打込みされない。

【0055】

このホウ素イオン打込みを実施しておくと、前述のセルトランジスタの閾値電圧制御用イオン打込みの放射線量を $7 \times 10^{12} / \text{cm}^2$ まで低下させても、上記第一の実施形態と同様の閾値電圧を得ることができる。なお、上記ホウ素斜めイオン打込みのエネルギーを高くして放射線量を調整すれば、前述のセルトラン

ジスタ用の閾値電圧制御用打込みの放射線量を更に低下でき、場合によっては前述のセルトランジスタ用の閾値電圧制御用イオン打込みを省くことができる。

【0056】

以上のように、各打込みを実施したのち、通常のプロセスを用いてS T I溝を形成し、図4乃至図6に示したようなプロセスを用いてセルトランジスタを形成する。ここで、上記ホウ素イオン打込みを実施しておくと、前述のセルトランジスタの閾値電圧制御用イオン打込みの放射線量を $7 \times 1.0^{12} / \text{cm}^2$ まで低下させても、上記第一の実施形態と同様の閾値電圧を得ることができる。その後の工程は、通常のD R A Mプロセスを用いるので、その説明を省略する。

【0057】

なお、活性領域22の長手方向の両端部へのリンまたは砒素のイオン打込みと活性領域22の長手方向に垂直な方向からのホウ素イオン打込みとを併用してもよい。

【0058】

上述した二つの実施形態において、図2に示されるような活性領域表面のキャリヤ濃度分布を実現できる場合、隣接ワード線が、図1のように活性領域上に配置されても、空乏化する事がない。すなわち、隣接ワード線電位の影響を受けなくなる。リフレッシュ特性の実力は、自分のワード線端の接合電界と隣接ワード線端の接合電界との両方によって決まるので、隣接ワード線端の影響が無くなれば、その分、実力が向上する。

【0059】

また、S T I領域以外の活性領域の長手方向に垂直な方向からホウ素を斜めにイオン打込みすると、セルトランジスタの閾値電圧制御用ホウ素イオン打込み放射線量を低減できるので、接合電界を低減できる。その結果、リフレッシュ特性を向上することができる。

【0060】

上記説明では、半導体記憶装置としてD R A M用セルトランジスタの構成を取上げたが、他の半導体記憶装置にも適用可能である。特に、高密度のセル構成を有する半導体記憶装置に適切である。

【0061】**【発明の効果】**

以上説明したように本発明によれば、隣接セルの隣接ワード線の影響を受けたリフレッシュ特性劣化を防止でき、その結果、リフレッシュ特性の実力を向上できるうえに、パッケージ後の不良率およびリフロー後の不良率を低減できるという効果が得られる。

【0062】

その理由は、半導体記憶装置のセル構造において、隣接セルのワード線と自己セルのワード線とが隣接して形成するn型拡散層で自己セルのワード線寄り側より隣接セルのワード線寄り側でより高いn型キャリヤ濃度を有するか、または、p型基板濃度を隣接ワード線寄り側で低濃度にしているからである。

【図面の簡単な説明】**【図1】**

本発明のメモリのセル部における活性領域およびワード線の一実施態様としての平面配置を示す図である。

【図2】

本発明における活性領域表面のキャリヤ濃度分布の一実施態様を示す図である。

【図3】

本発明における活性領域表面のリンまたは砒素の濃度分布の一実施態様を示す図である。

【図4】

本発明における一つの製造方法で、セル部における閾値電圧制御層形成工程後の断面の一実施態様を示す図である。

【図5】

図4に続く工程で、セル部におけるレジストマスクを用いたリン打込み層形成工程後の断面の一実施態様を示す図である。

【図6】

図5に続く工程で、セル部におけるゲート電極の形成から低濃度n型層形成工

程後の断面の一実施態様を示す図である。

【図7】

本発明における活性領域表面のホウ素濃度分布の一実施態様を示す図である。

【図8】

本発明における図4から図6までと相違する一つの製造方法で、セル部におけるホウ素打込み層形成工程後の断面の一実施態様を示す図である。

【図9】

図8に続く工程で、セル部におけるゲート電極の形成から低濃度n型層形成工程後の断面の一実施態様を示す図である。

【図10】

本発明のメモリのセル部における活性領域およびワード線の図1とは別の実施態様となる平面配置を示す図である。

【図11】

本発明のメモリのセル部におけるSTI溝側壁チャネルのn型キャリヤ濃度を高濃度化する方法の一実施態様を示す図である。

【図12】

本発明のメモリのセル部における活性領域およびワード線の図10とは別の一実施態様となる平面配置を示す図である。

【図13】

本発明のメモリのセル部におけるSTI溝側壁チャネルのn型キャリヤ濃度を高濃度化する図11とは別 の方法の一実施態様を示す図である。

【図14】

本発明のメモリのセル部におけるSTI溝側壁チャネルのn型キャリヤ濃度を高濃度化する上述とは別 の方法の一実施態様を示す図である。

【図15】

本発明のメモリのセル部におけるSTI溝側壁チャネルのp型キャリヤ濃度を高濃度化する方法の一実施態様を示す図である。

【図16】

従来の活性領域表面におけるキャリヤ濃度分布の一例を示す図である。

【図17】

従来の一つの製造方法で、セル部におけるホウ素打込み層形成工程後の断面の一例を示す図である。

【図18】

図17に続く工程で、セル部におけるゲート電極の形成から低濃度n型層形成工程後の断面の一例を示す図である。

【図19】

図17に続く工程で、セル部におけるゲート電極の形成から低濃度n型層形成工程後で、ワード線に合せずれが生じた場合の断面の一例を示す図である。

【図20】

従来の製造方法により、隣接ワード線と活性領域の重なり具合による接合電界の変化の一例を示す図である。

【符号の説明】

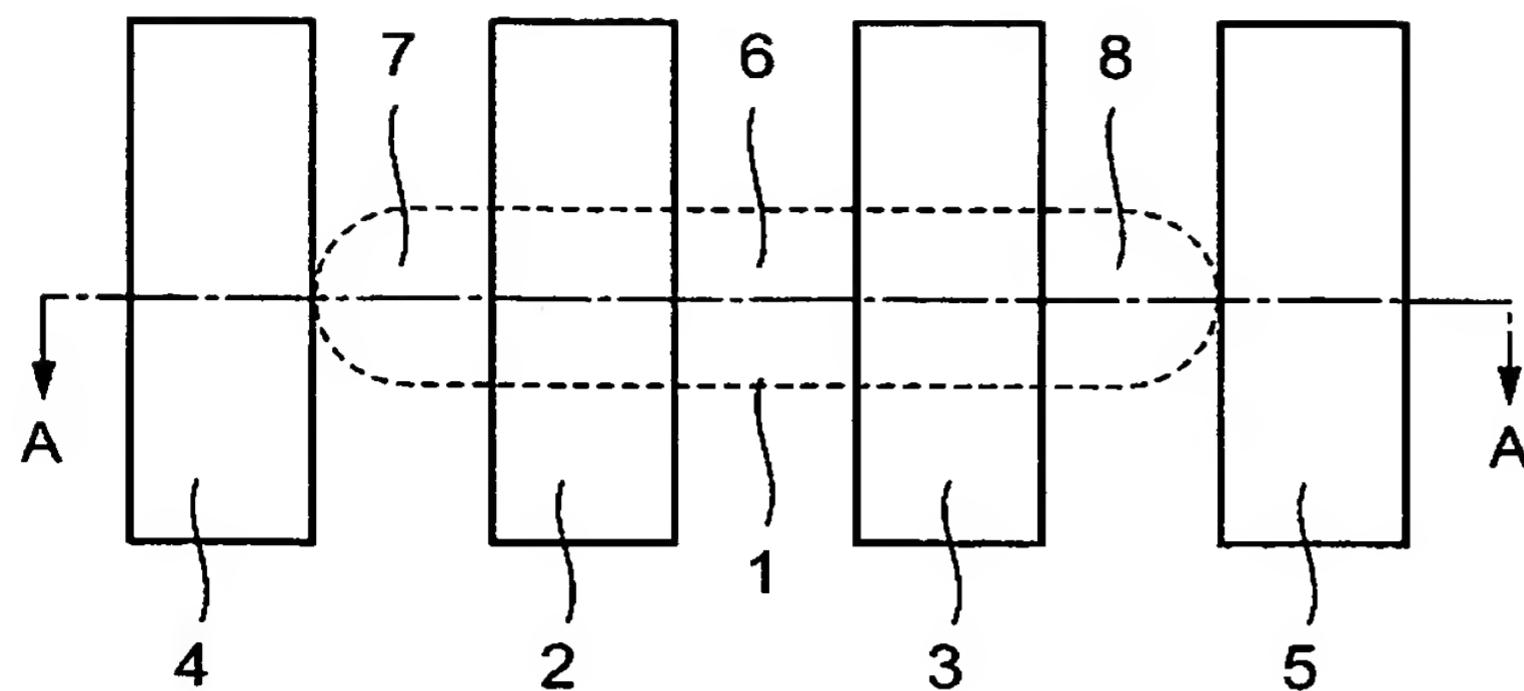
- 1、2 2 活性領域
- 2、3、4、5 ワード線
- 2 a、3 a、6 a、7 a、8 a 領域
- 6、7、8 拡散層
- 9 S T I (浅溝素子分離) 層
- 10 打込みスルーモ
- 11 p型ウエル層
- 12 閾値電圧制御層
- 13、13 a レジストマスク
- 14、23 リン打込み層
- 15 ゲート酸化膜
- 16 W/WN膜
- 17 多結晶シリコン膜
- 18 SiN膜
- 19、21 低濃度n型層
- 20、26 ホウ素打込み層

24 STI溝

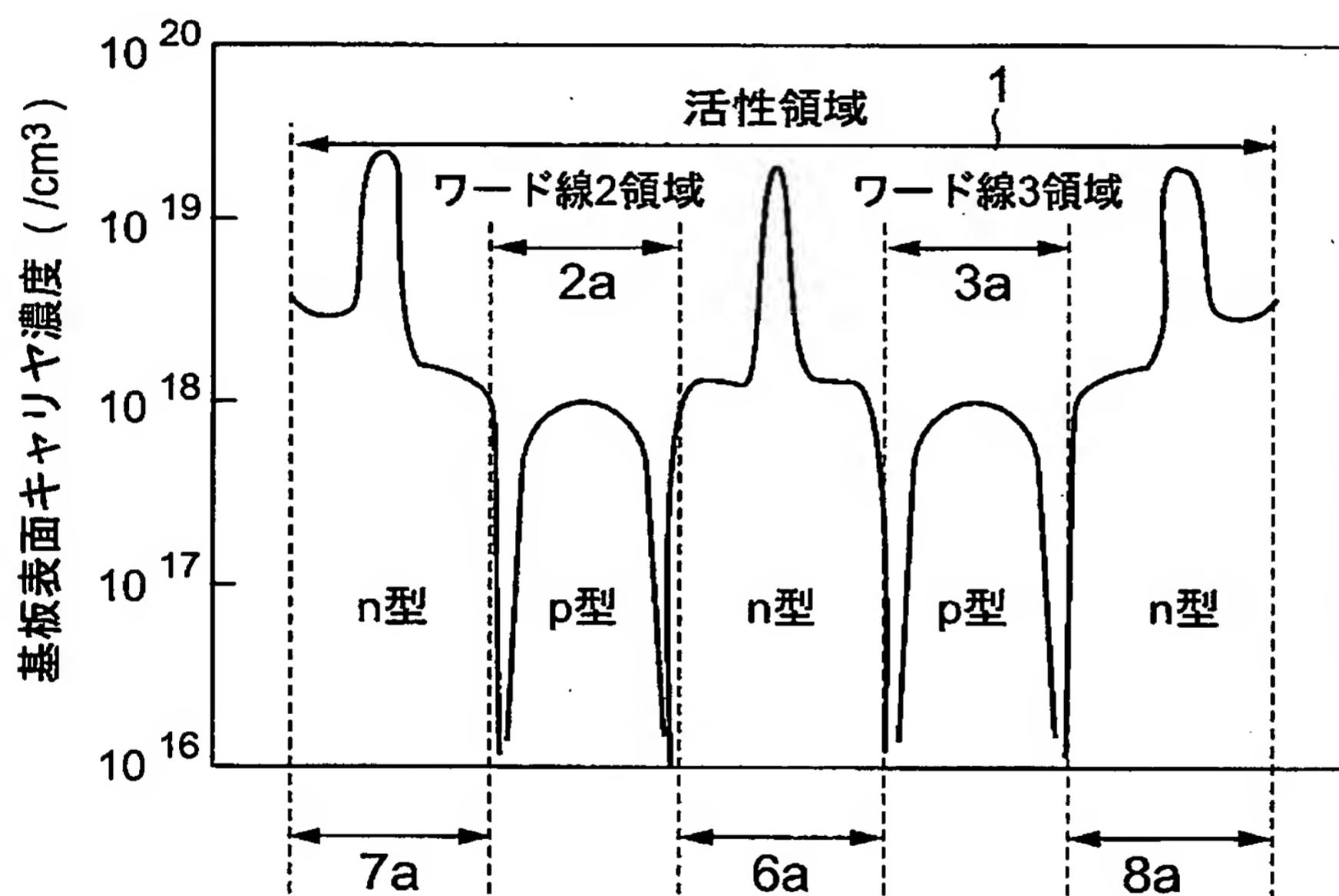
25 SINマスク

【書類名】 図面

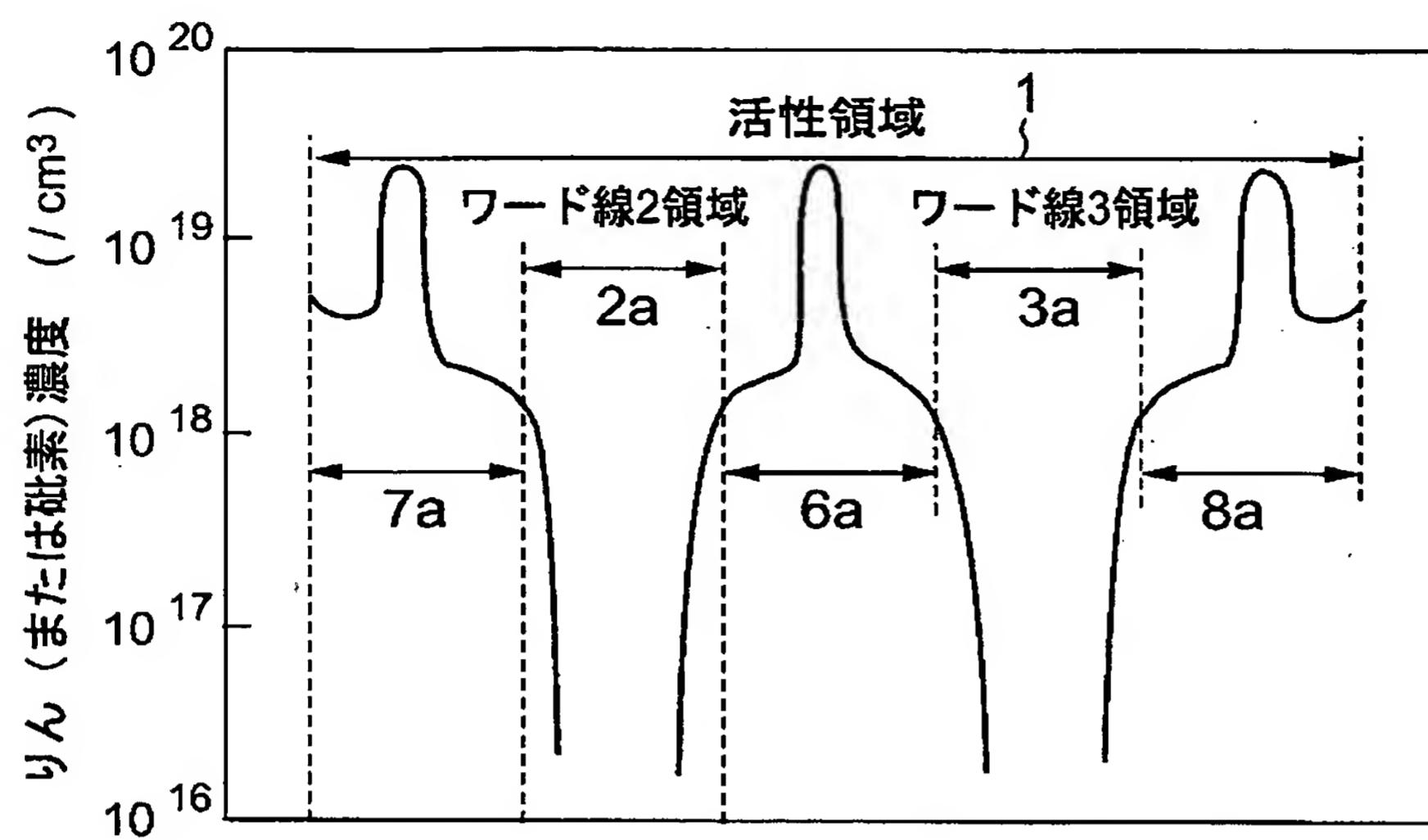
【図1】



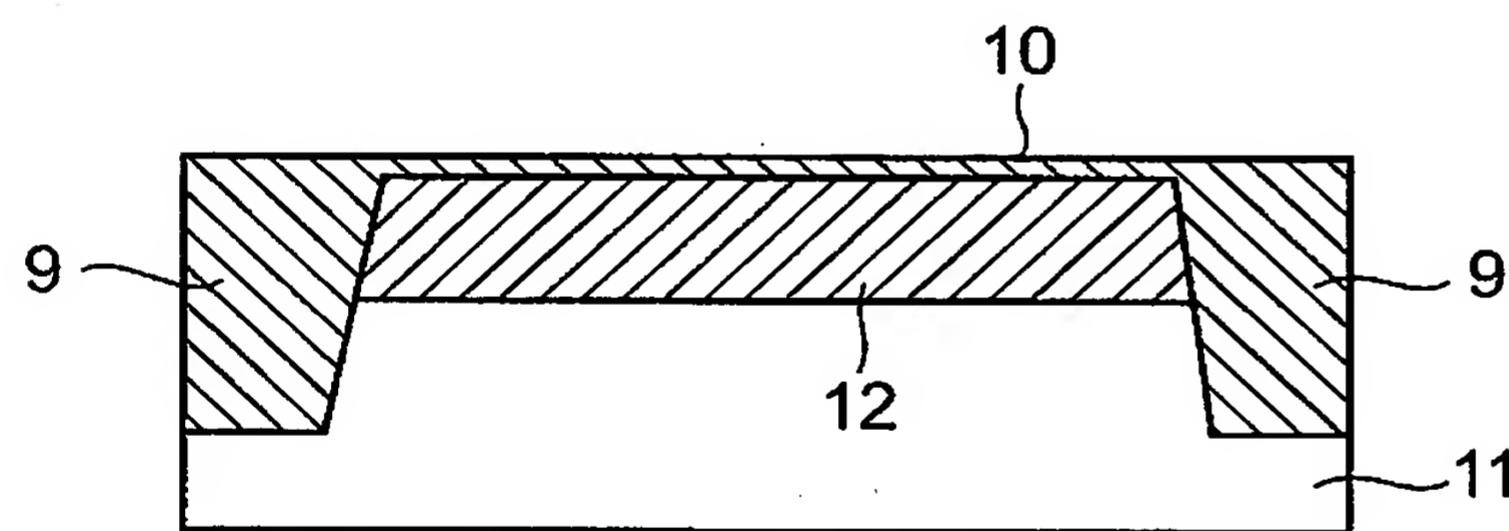
【図2】



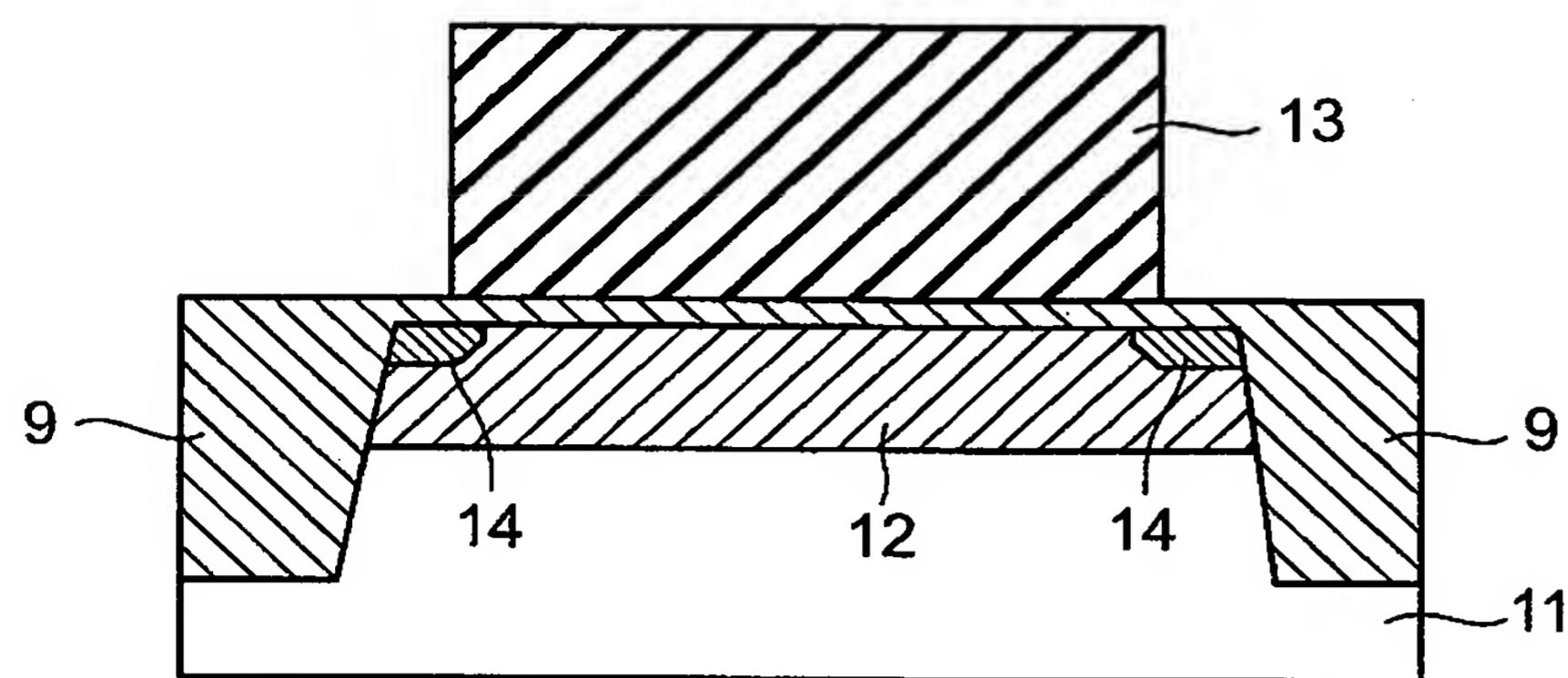
【図3】



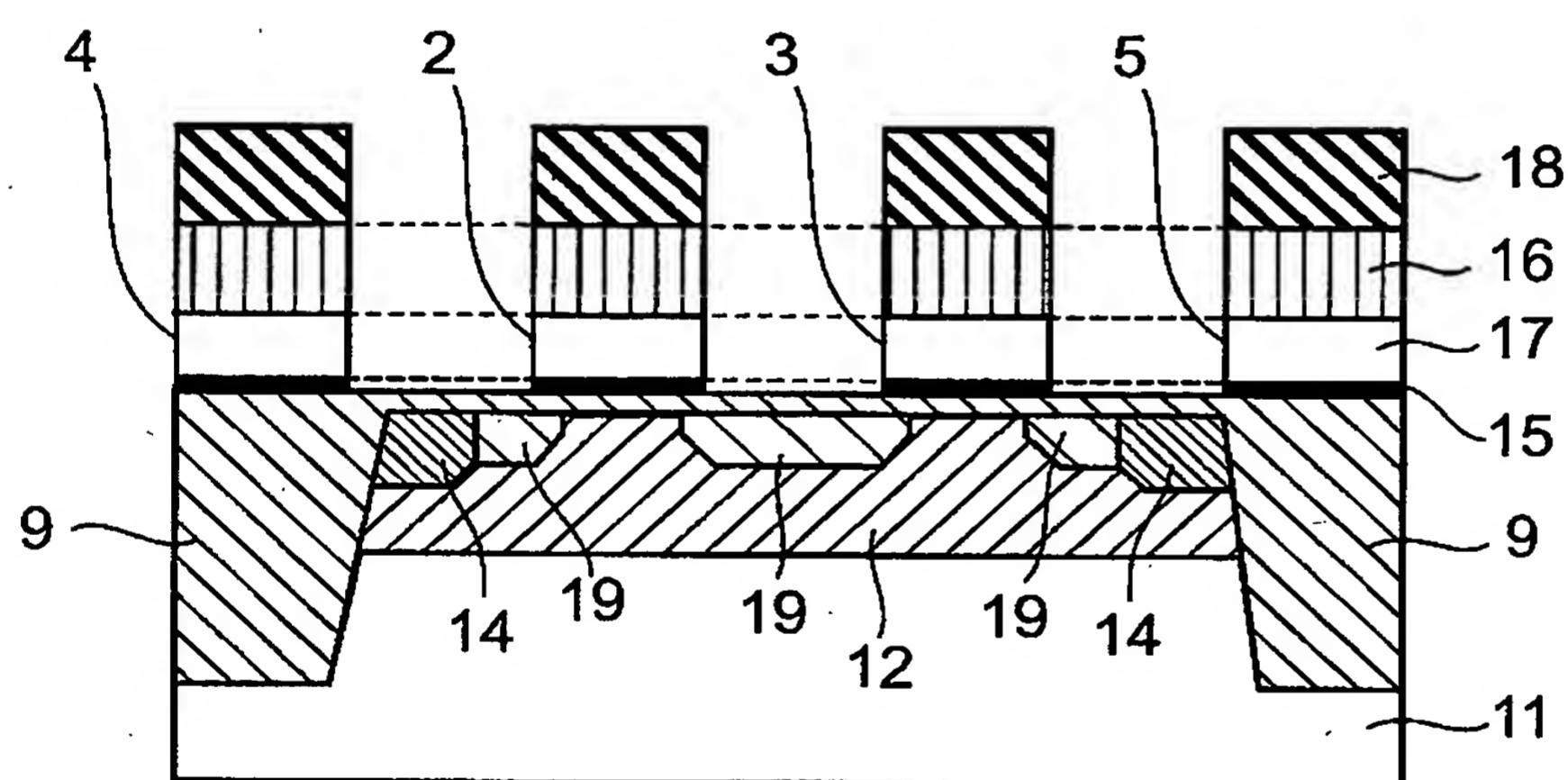
【図4】



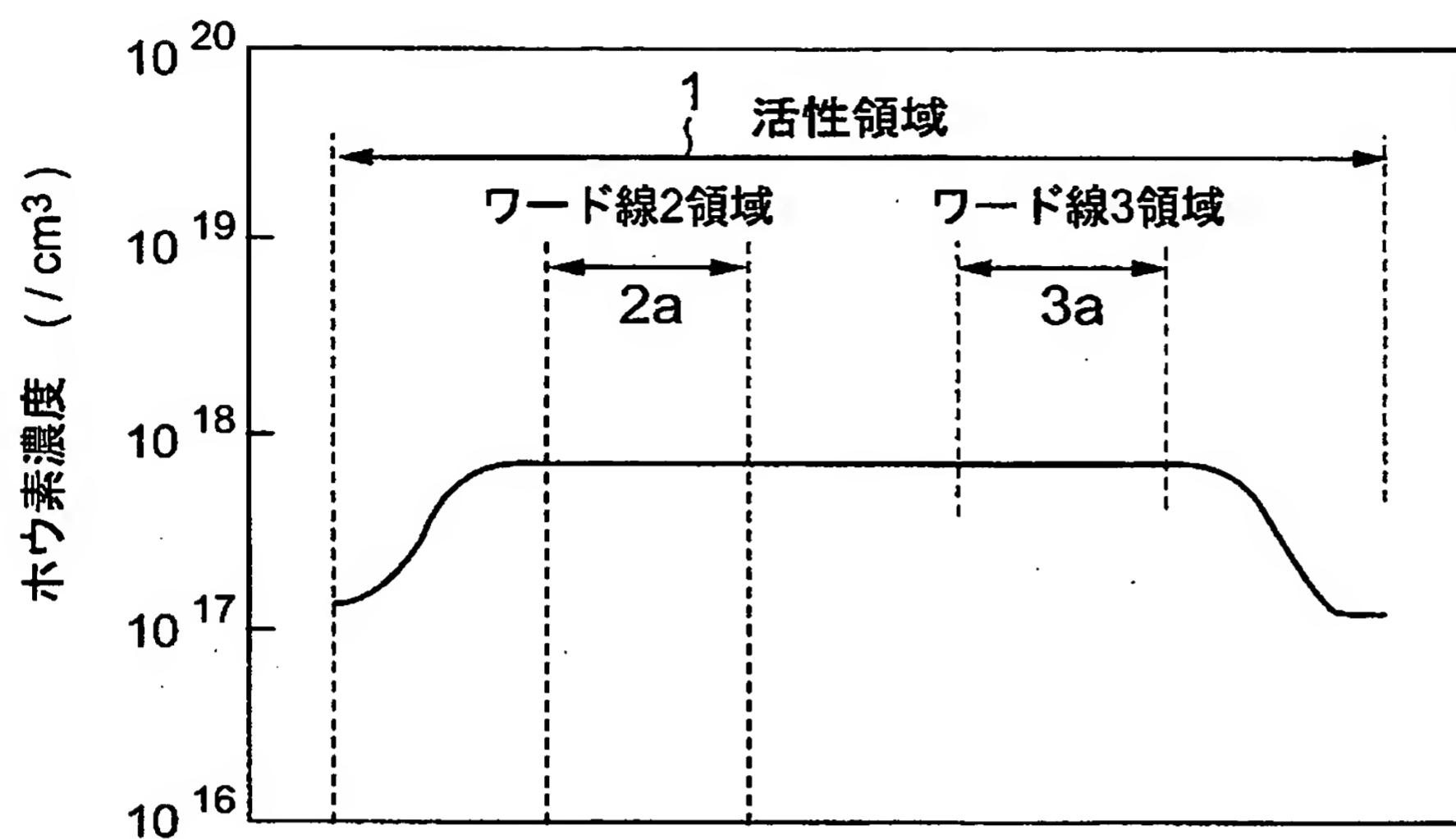
【図5】



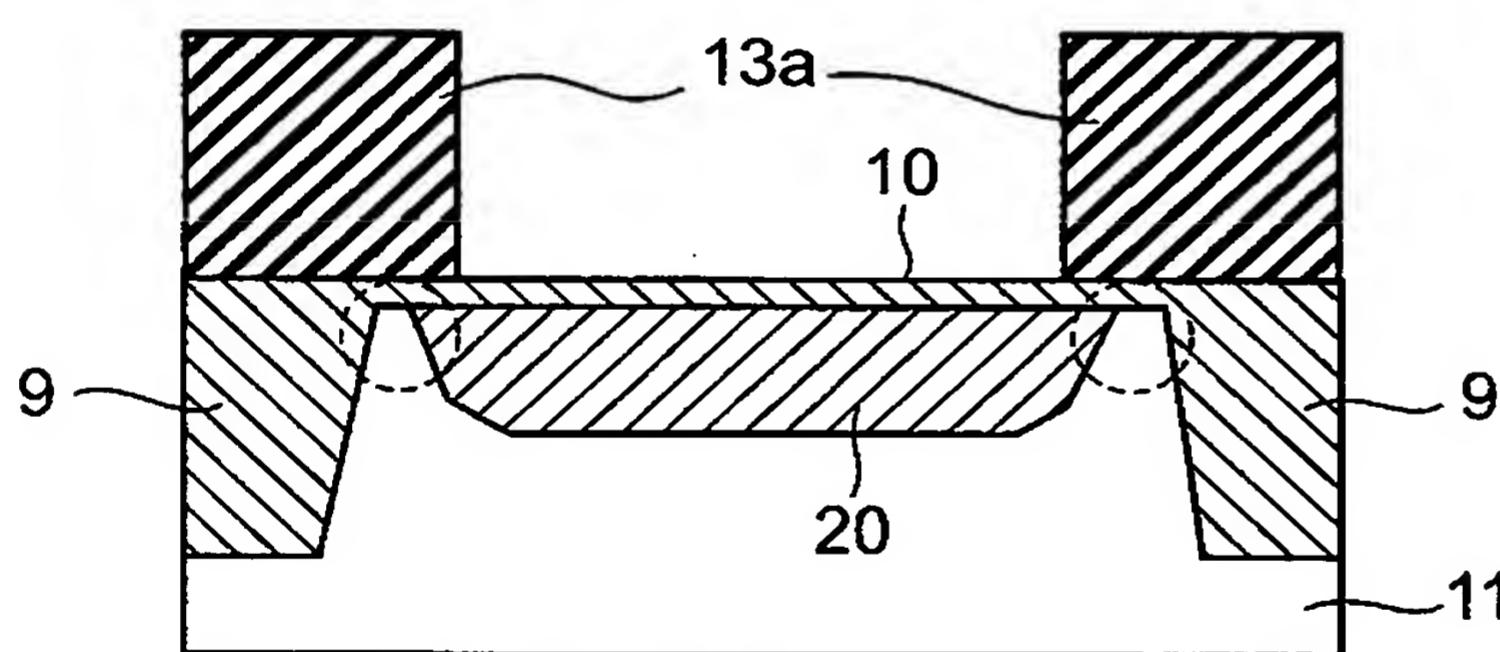
【図6】



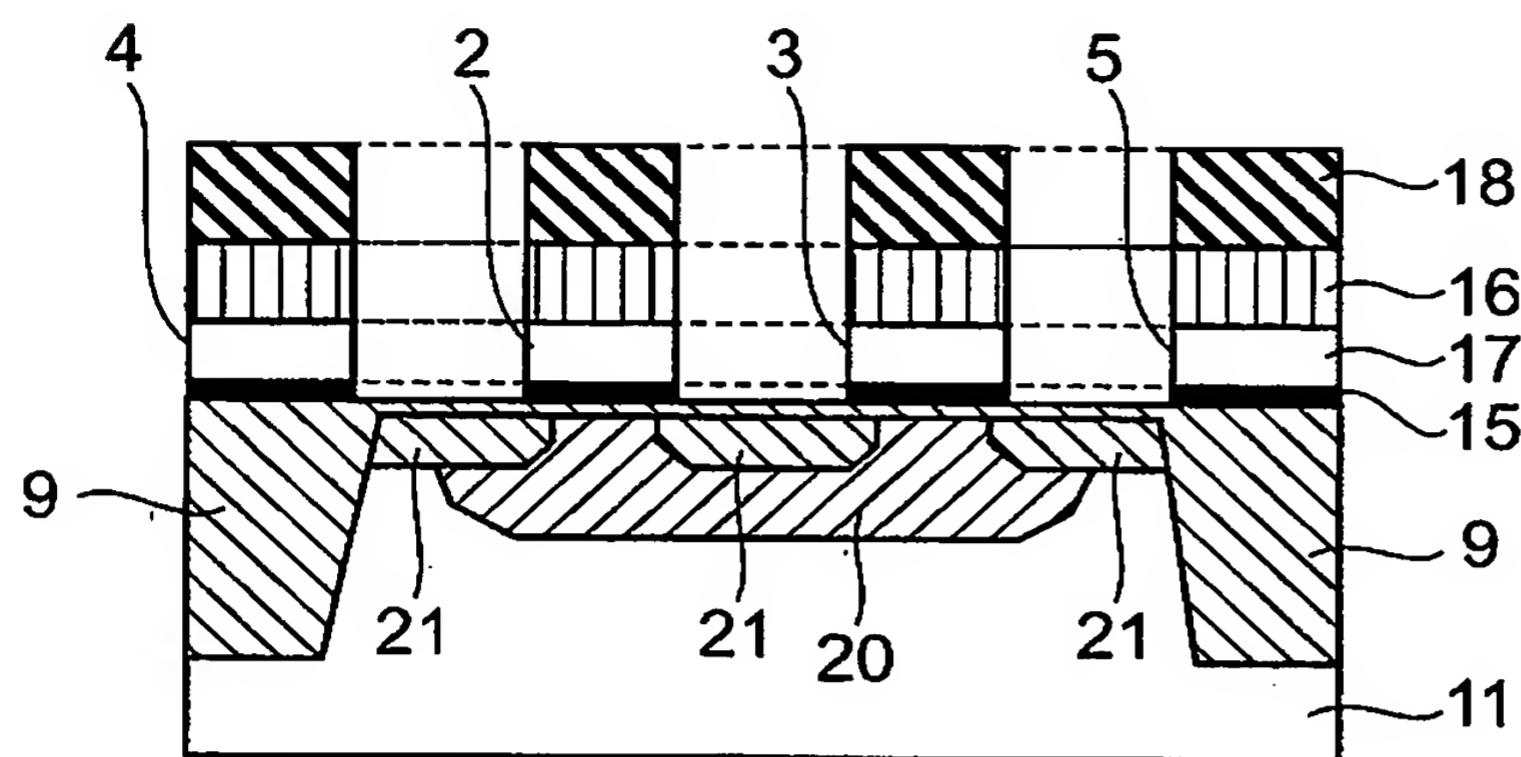
【図 7】



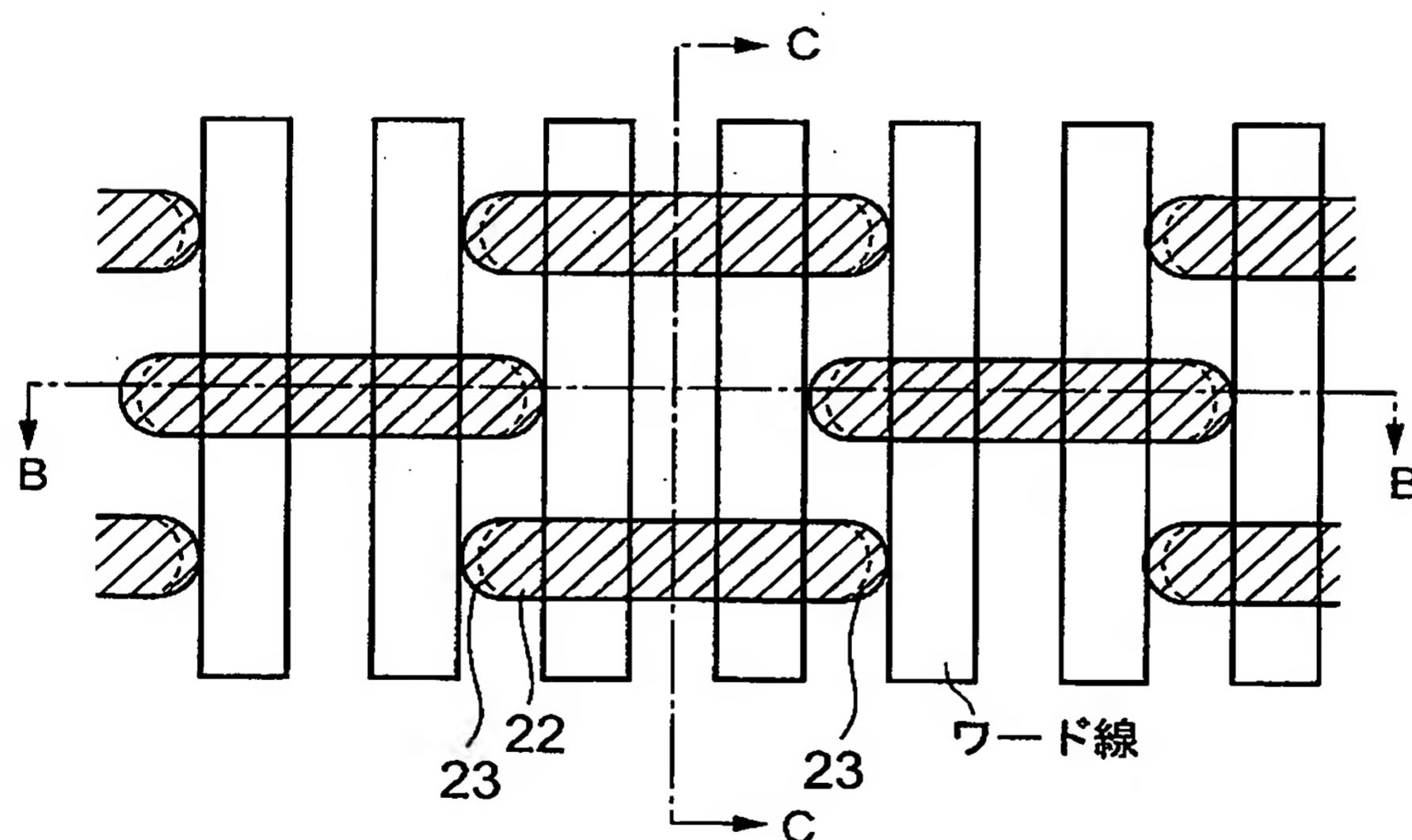
【図 8】



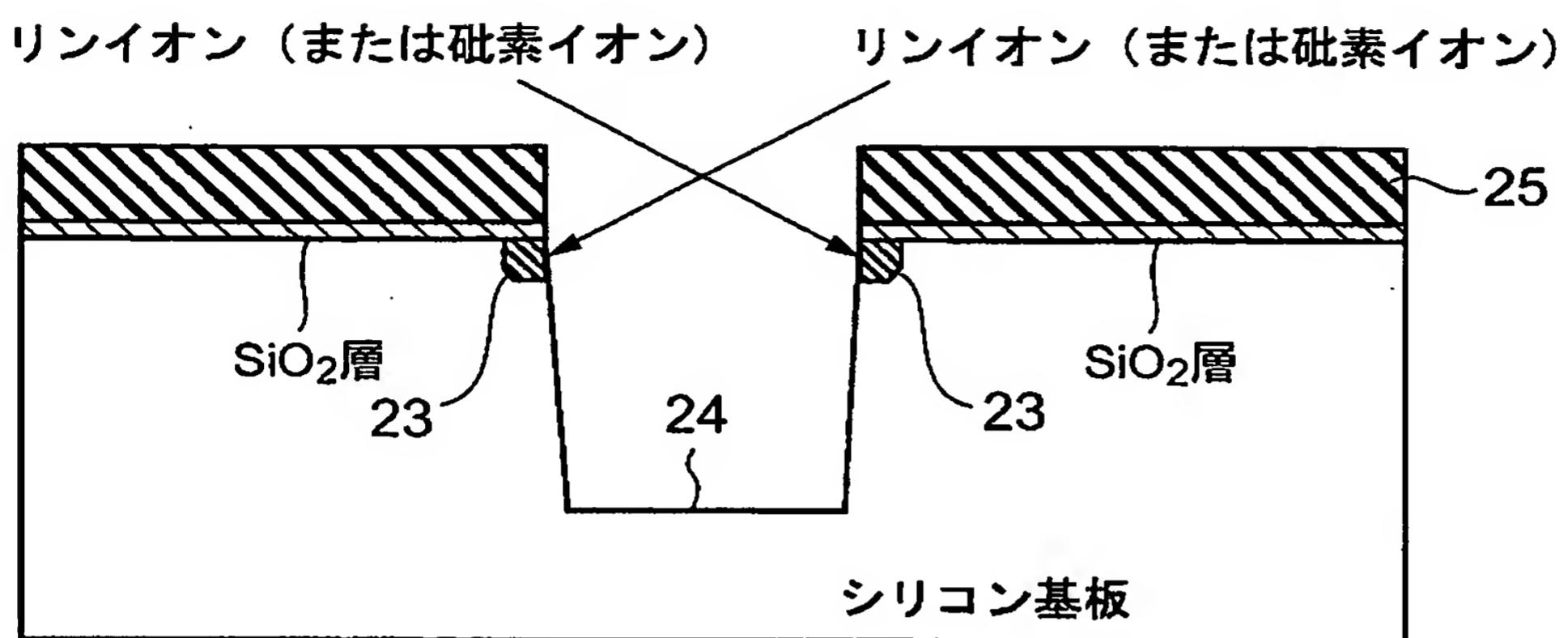
【図9】



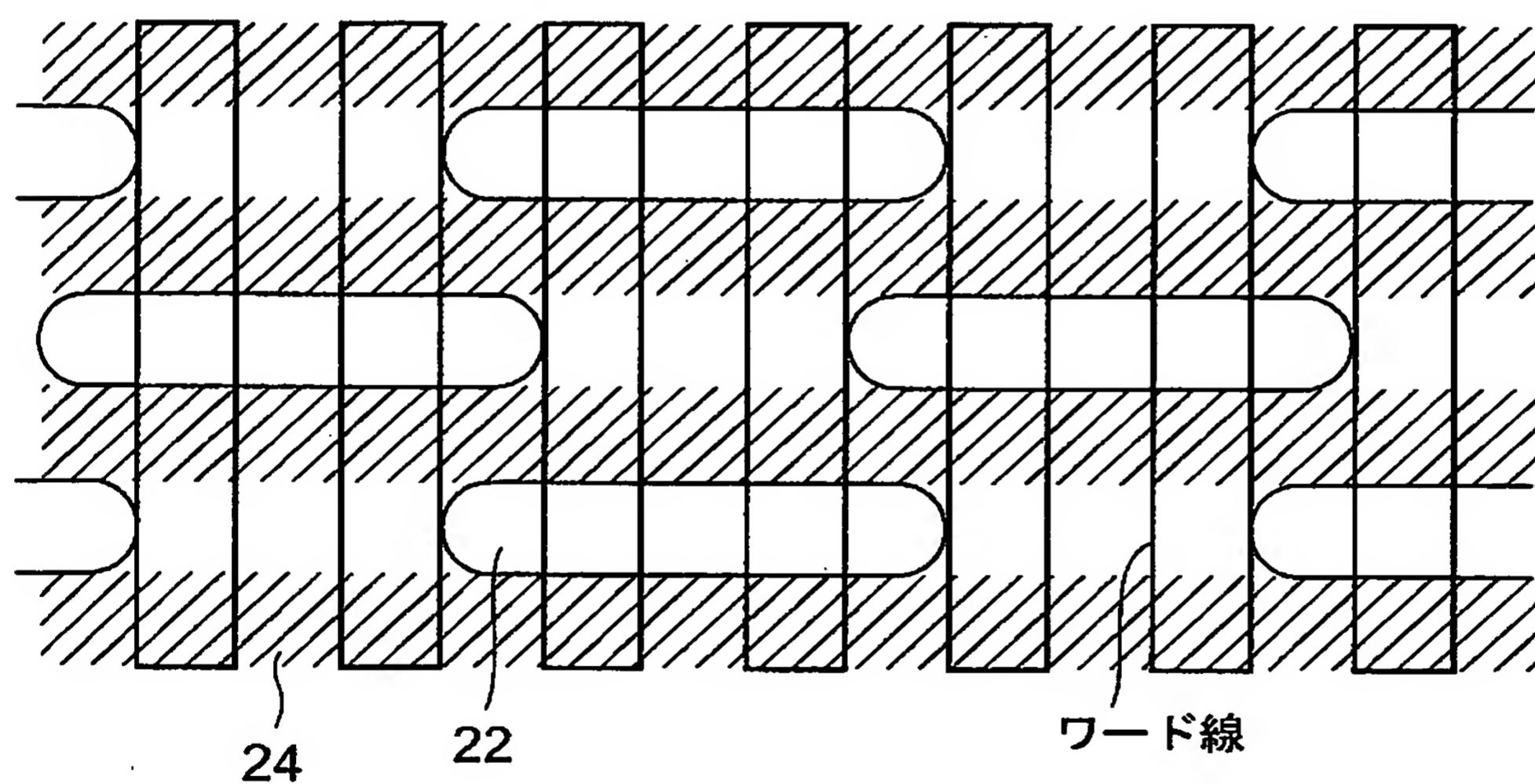
【図10】



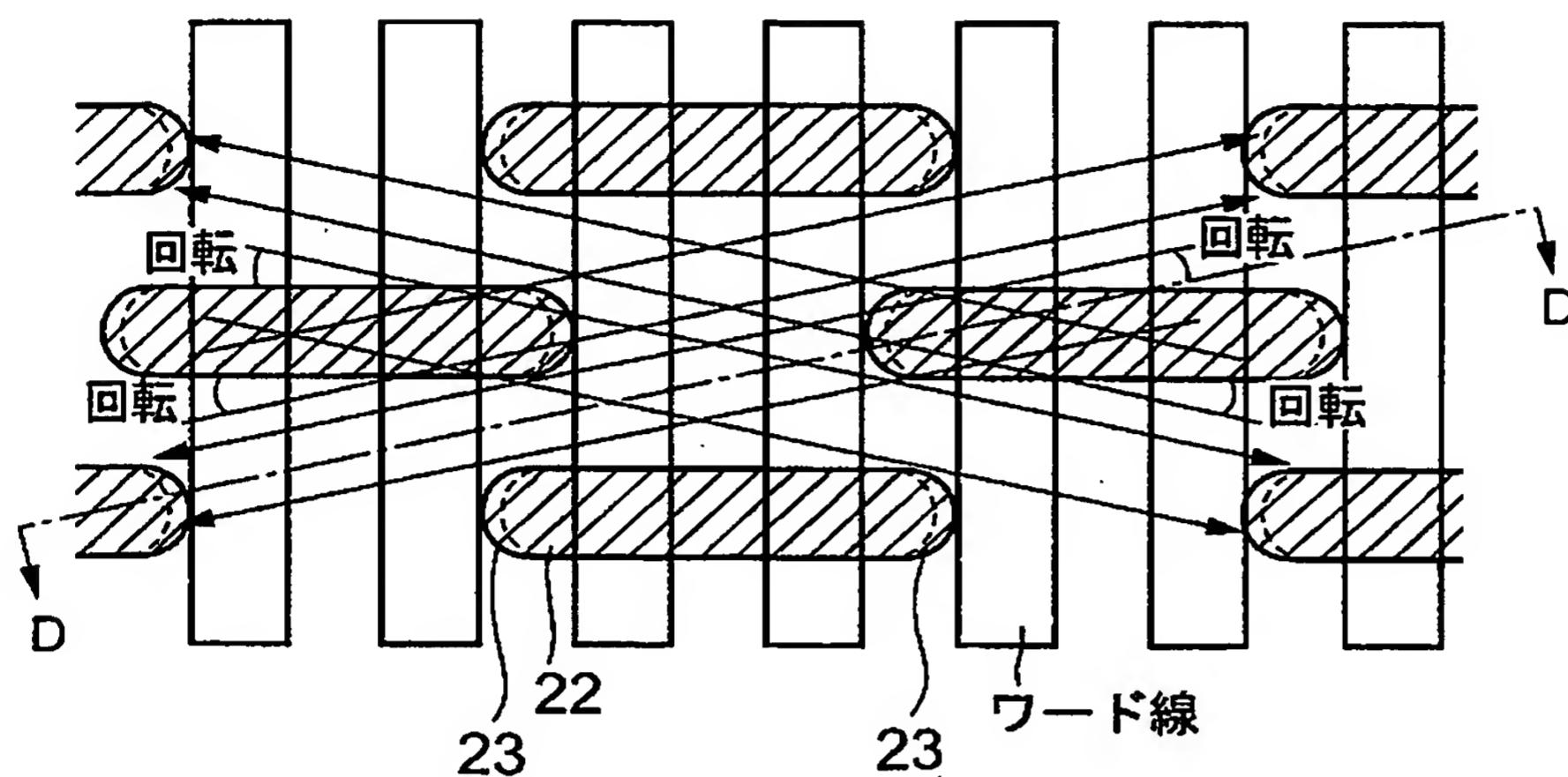
【図 1 1】



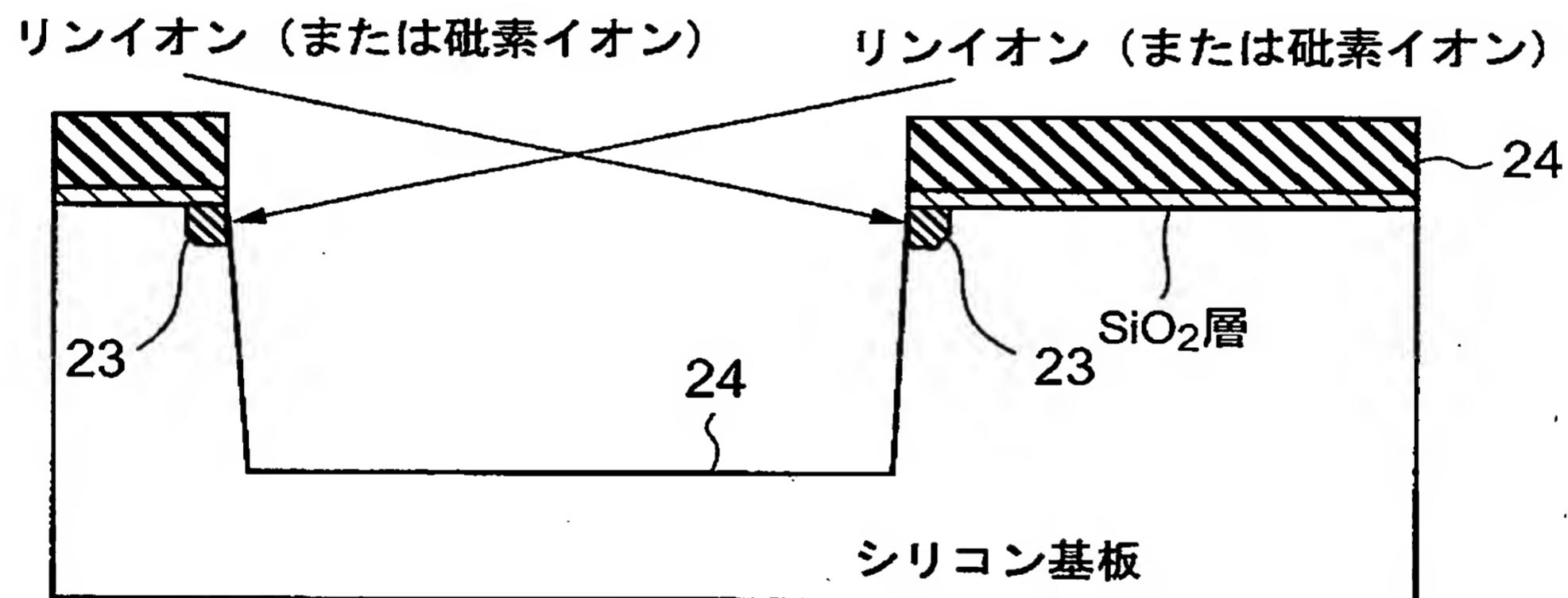
【図 1 2】



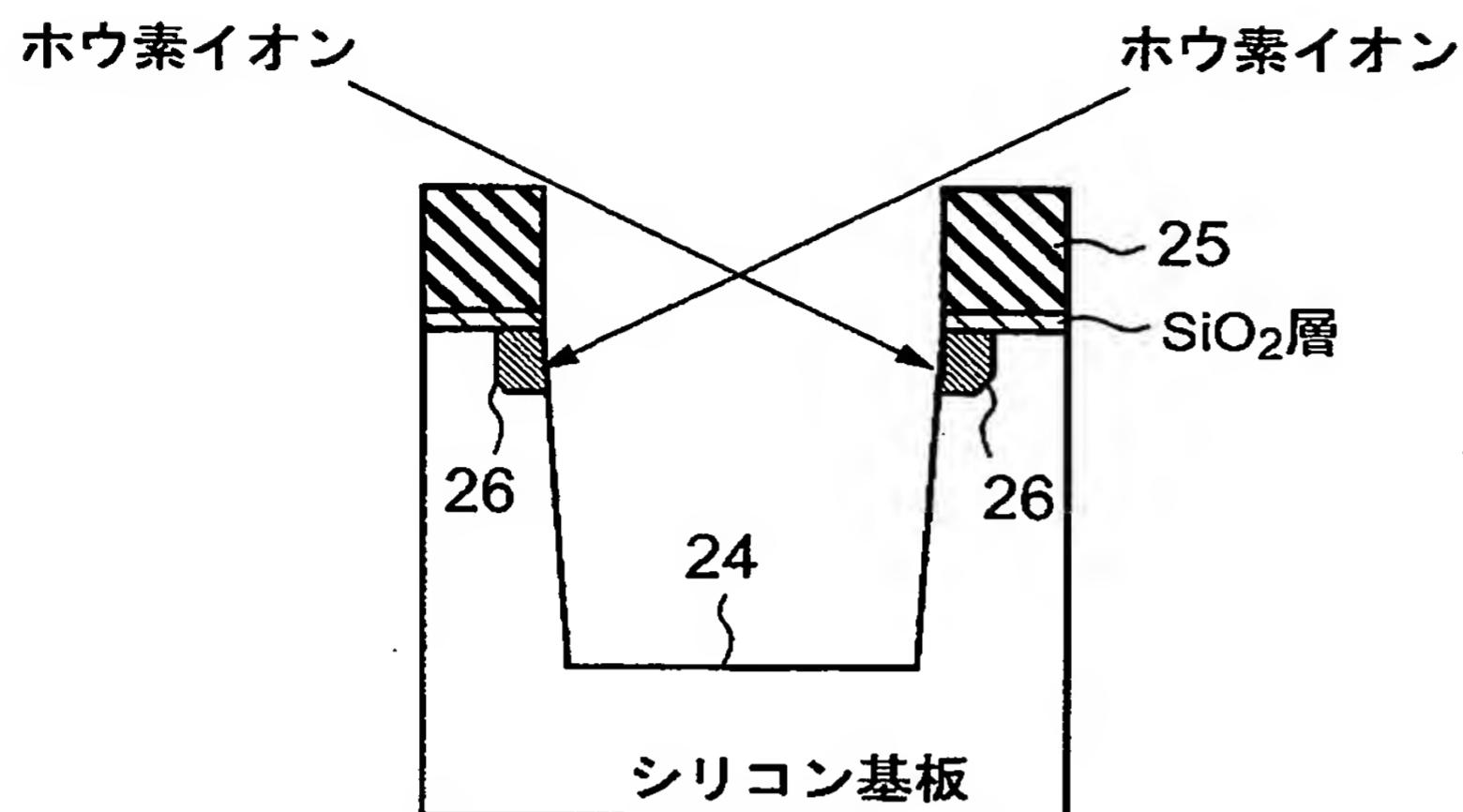
【図13】



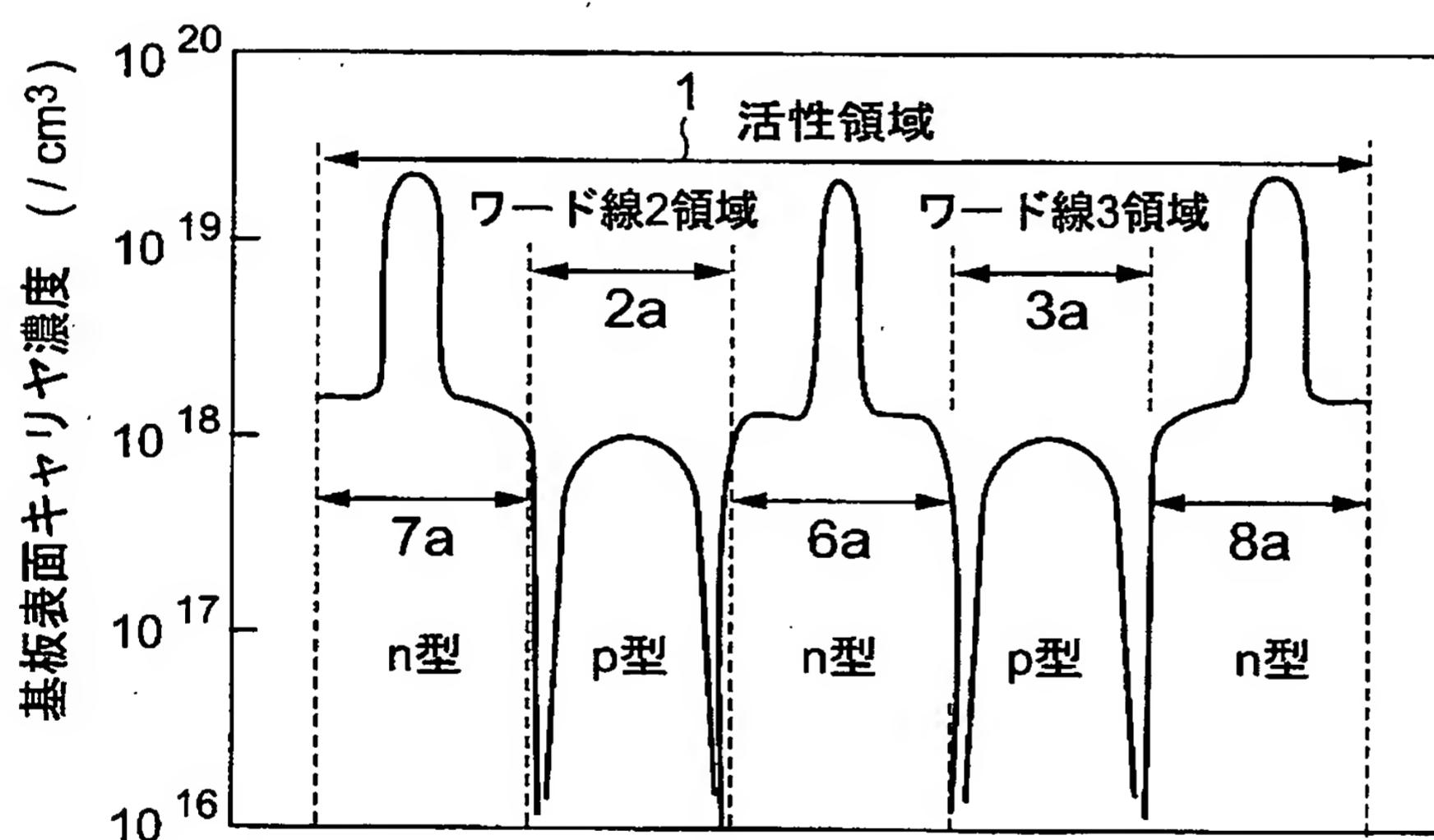
【図14】



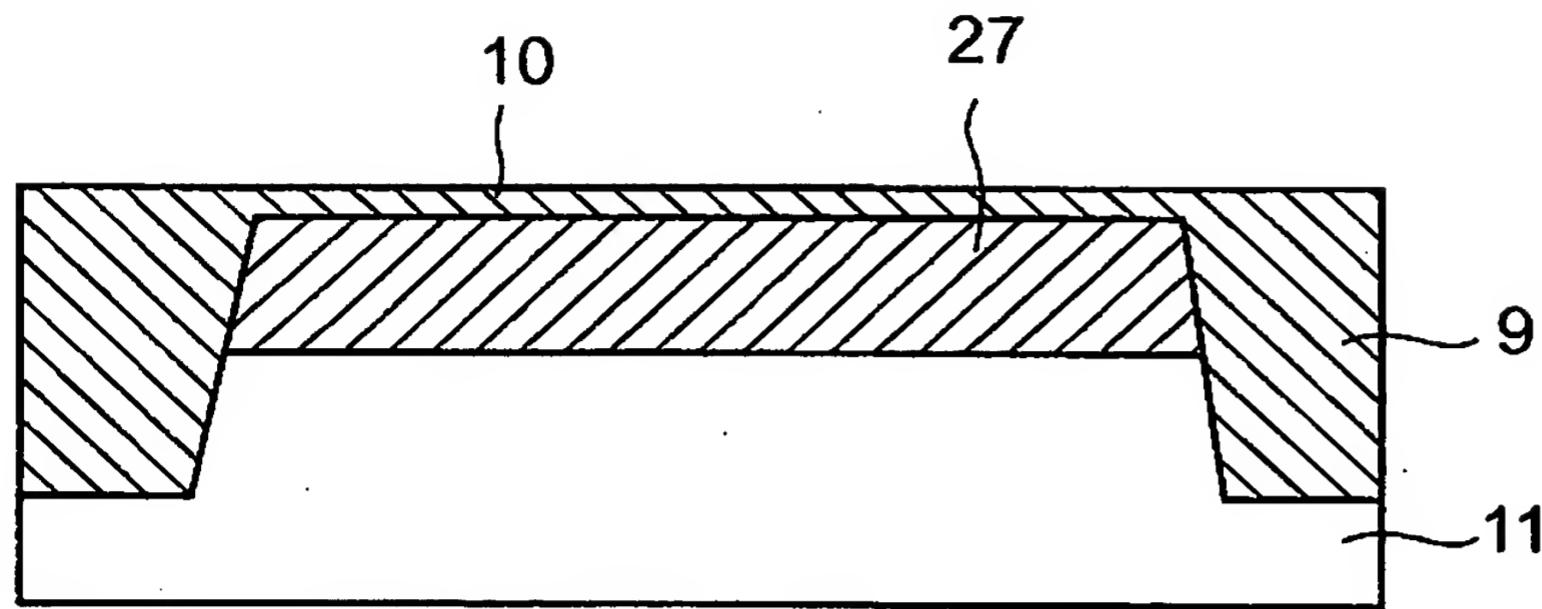
【図15】



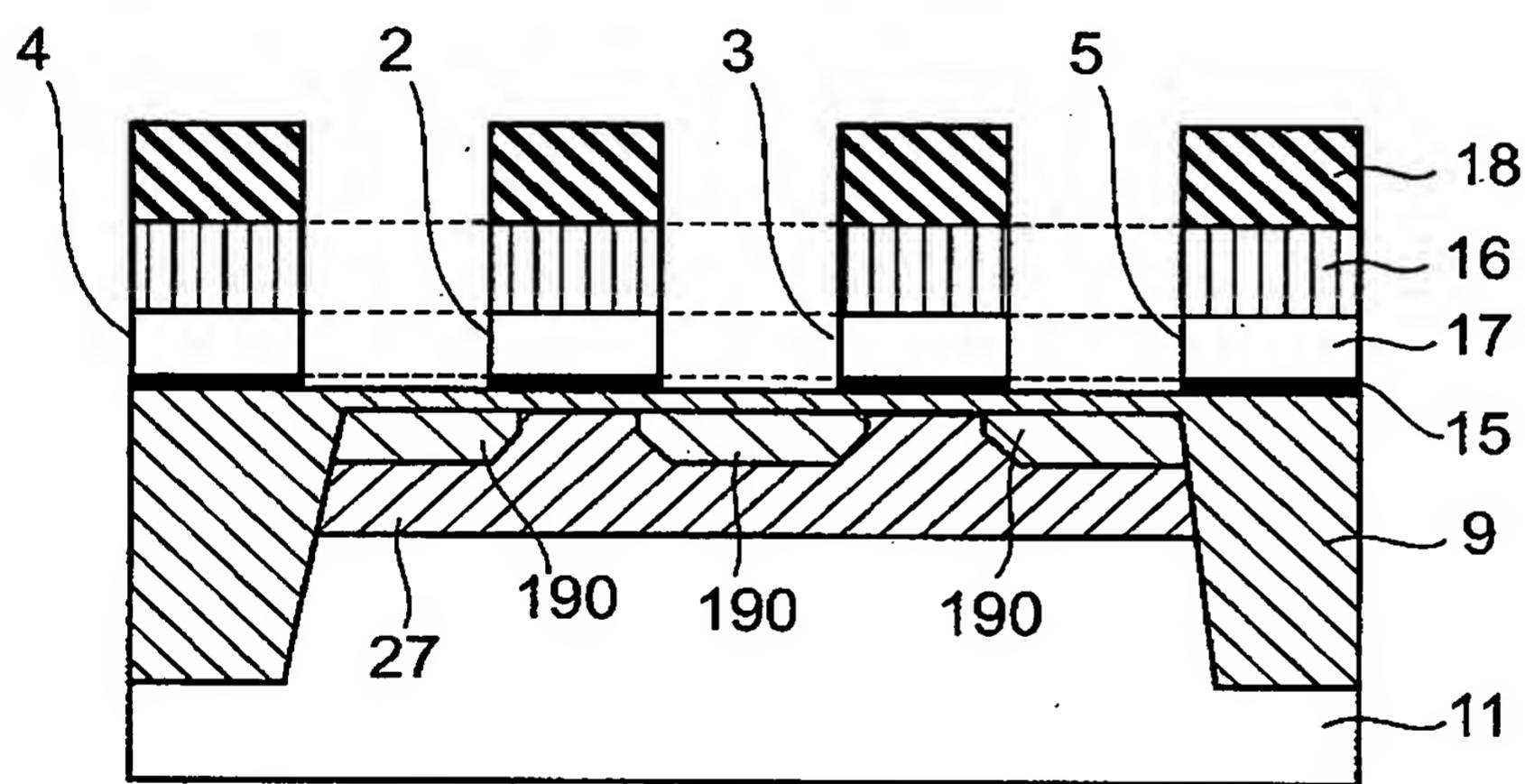
【図16】



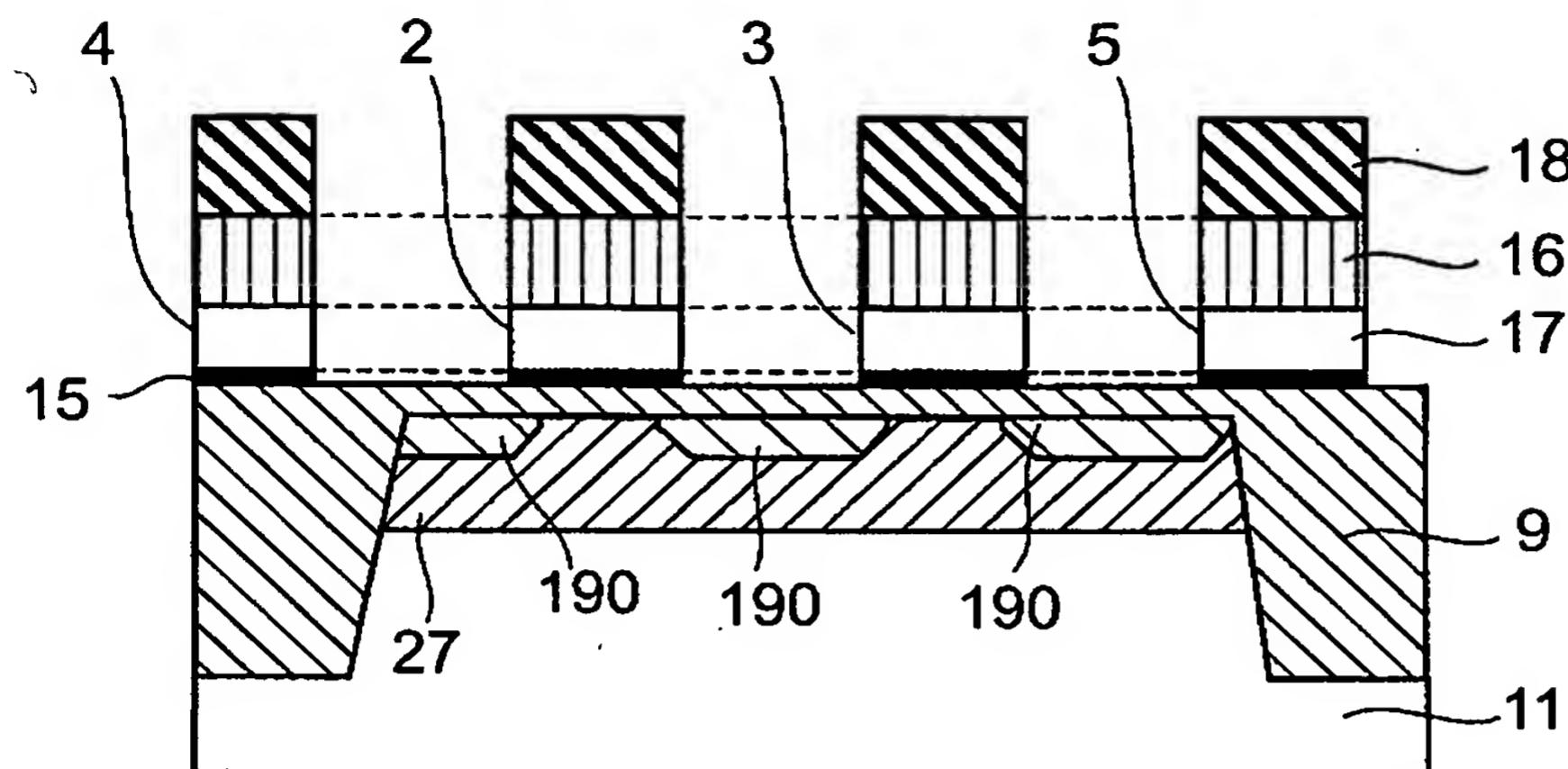
【図17】



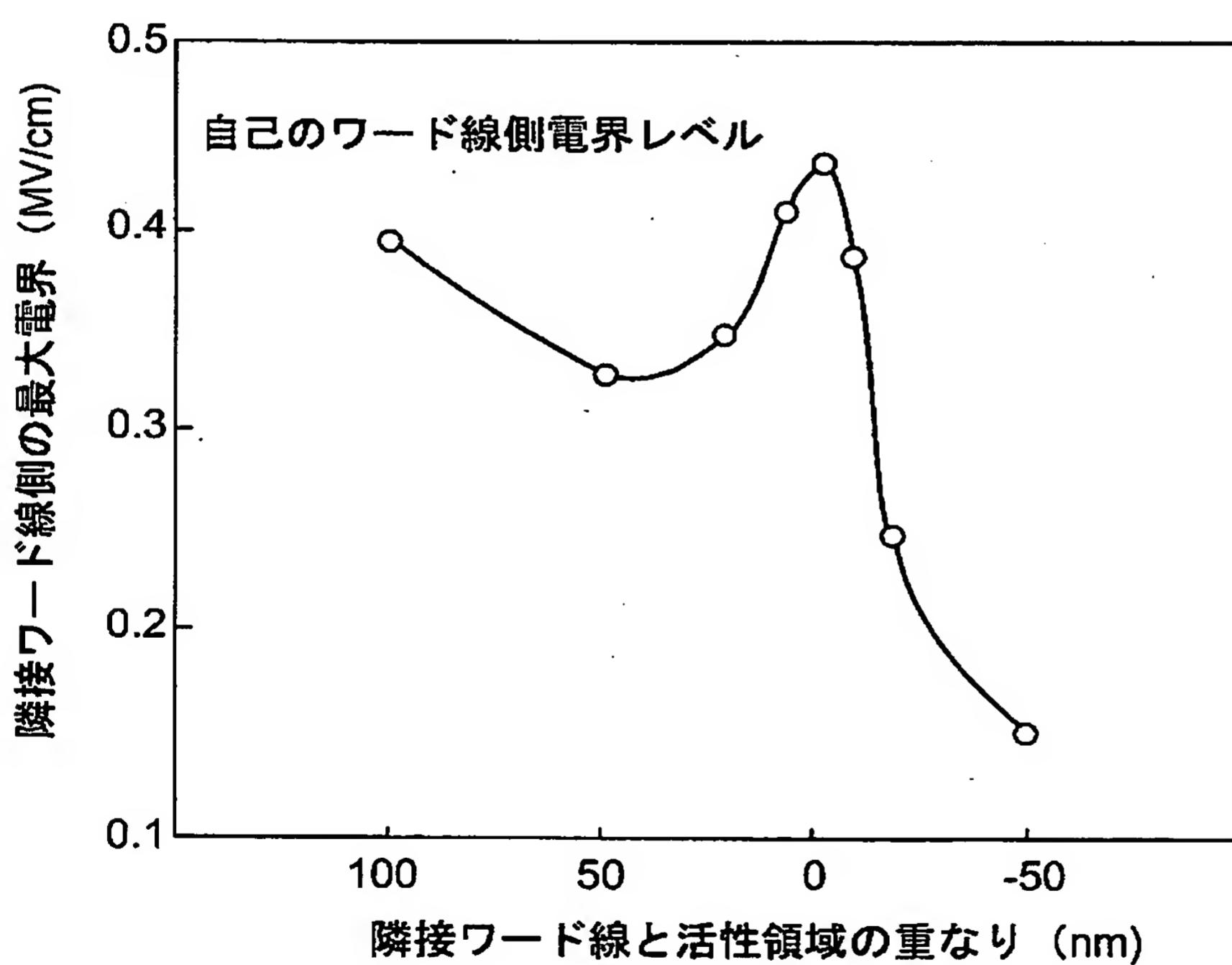
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 隣接セルの隣接ワード線により影響を受けたリフレッシュ特性劣化を防止し、かつパッケージ後およびリフロー後の不良率を低減できる。

【解決手段】 活性領域1は各ワード線4, 2, 3, 5に挟まれた領域で拡散層を有し、ワード線2, 3に挟まれた拡散層6はコンタクトを介してビット線に接続され、ワード線2, 4に挟まれた拡散層7とワード線3, 5に挟まれた拡散層8とはコンタクトを介して各容量部に接続される。ワード線2をゲート電極として拡散層6, 7をソース・ドレインとし、ワード線3をゲート電極として拡散層6, 8をソース・ドレインとした二つのセルトランジスタとから構成されるセル構造で、ワード線4, 5と隣接するワード線2, 3が形成するn型拡散層7, 8でワード線2, 3寄り側よりワード線4, 5寄り側で高いn型キャリヤ濃度を有するか、または、p型基板濃度をワード線4, 5寄り側で低濃度にする。

【選択図】 図1

特願2002-216112

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダメモリ株式会社

特願2002-216112

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立超エル・エス・アイ・システムズ

特願2002-216112

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所